

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/76

[12] 发明专利申请公开说明书

[21] 申请号 00134717.9

[43] 公开日 2001 年 5 月 2 日

[11] 公开号 CN 1293452A

[22] 申请日 2000.10.12 [21] 申请号 00134717.9

[30] 优先权

[32] 1999.10.12 [33] KR [31] 43989/1999

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 朴泰绪 朴文汉

朴晳媛 李汉信

[74] 专利代理机构 柳沈知识产权律师事务所

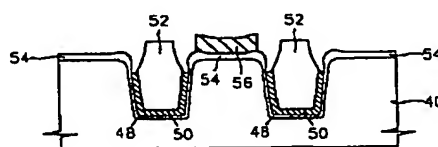
代理人 王志森

权利要求书 3 页 说明书 9 页 附图页数 6 页

[54] 发明名称 沟道隔离结构、具有该结构的半导体器件
以及沟道隔离方法

[57] 摘要

提供了一种通过使沟道顶部边缘圆形化并增加沟道顶部边缘的氧化物量 来防止驼峰现象和晶体管的反相窄宽度效应的沟道隔离结构,具有该结构的 半导体器件以及沟道隔离方法。在该沟道隔离方法中,在半导体衬底的非作用区域内形成一个沟道。沟道内壁上形成厚度在 10—150 埃之间的内壁氧化物 薄膜。在内壁氧化物薄膜的表面形成一个衬层。用介质薄膜填充沟道。蚀刻 部分衬层,使得该氮化硅衬层的顶端可以从半导体衬底的表面凹进。



知识产权出版社出版

ISSN 1008-4274

1. 一个沟道隔离结构包括:
在半导体衬底的非作用区域内形成的沟道, 使该沟道的顶部边缘圆形
5 化;
在沟道内壁上形成的内壁氧化物薄膜;
在内壁氧化物薄膜的表面形成的衬层, 该衬层的顶部从半导体衬底的表
面凹进;
用来填充沟道的介质薄膜, 内壁氧化物薄膜和衬层都形成于该沟道中。
- 10 2. 按照权利要求 1 的沟道隔离结构, 其中内壁氧化物薄膜的厚度在 10-
150 埃之间。
3. 按照权利要求 1 的沟道隔离结构, 其中内壁氧化物薄膜是通过湿式氧
化或干式氧化形成的热氧化物薄膜。
4. 按照权利要求 1 的沟道隔离结构, 其中衬层的顶端从半导体衬底的表
15 面凹进 0-500 埃。
5. 按照权利要求 1 的沟道隔离结构, 其中由氮化硅构成的衬层是通过低
压化学蒸汽沉积 (LPCVD) 形成的。
6. 按照权利要求 1 的沟道隔离结构, 其中, 除了沟道之外, 半导体衬底
的表面有一个平面 (100), 而被圆形化的沟道顶部边缘的半导体衬底的表面
20 则有一个平面 (111)。
7. 一个具有沟道隔离结构的半导体器件包括:
在半导体衬底的非作用区域内形成的沟道, 该沟道的顶部边缘被圆形
化;
在沟道内壁上形成的内壁氧化物薄膜;
25 在内壁氧化物薄膜的表面形成的衬层, 该衬层的顶部从半导体衬底的表
面凹进;
用来填充沟道的介质薄膜, 内壁氧化物薄膜和衬层都形成于该沟道中;
形成于除了沟道之外的半导体衬底的作用区域内的栅极介质薄膜, 该栅
极介质薄膜的边缘部分比中间部分要厚; 以及
30 一个在栅极介质薄膜上形成的栅极电极。
8. 按照权利要求 7 中的具有沟道隔离结构的半导体器件, 其中内壁氧

化物薄膜的厚度在 10-150 埃之间。

9. 按照权利要求 7 中的具有沟道隔离结构的半导体器件，其中衬层的顶端从半导体衬底的表面凹进 0-500 埃。

10. 按照权利要求 7 中的具有沟道隔离结构的半导体器件，其中，除了沟道之外的半导体衬底的表面有一个平面 (100)，而沟道的顶部边缘被圆形化的半导体衬底的表面则有一个平面 (111)。

11. 一个沟道隔离方法，包括：

10 在半导体衬底的非作用区域内形成沟道；
沟道内壁上形成内壁氧化物薄膜；
在内壁氧化物薄膜的表面形成氮化硅衬层；
用介质薄膜填充沟道；
蚀刻部分氮化硅衬层，使得该氮化硅衬层的顶部从半导体衬底的表面凹进。

12. 按照权利要求 11 的沟道隔离方法，其中形成沟道的步骤包括：

15 在半导体衬底上形成垫层氧化物薄膜；
在垫层氧化物薄膜上形成垫层氮化物膜；
使用光刻法形成蚀刻掩模图形用于限定其上需形成沟道的区域；
根据蚀刻掩模图形通过蚀刻部分半导体衬底来形成沟道。

13. 按照权利要求 11 的沟道隔离方法，其中通过湿式热氧化或干式热氧化形成的内壁氧化物薄膜的厚度在 10-150 埃之间。

14. 按照权利要求 12 的沟道隔离方法，其中通过 LPCVD 形成的氮化硅衬层的厚度为 20-200 埃。

15. 按照权利要求 12 的沟道隔离方法，其中用介质薄膜填充沟道的步骤包括：

25 将介质薄膜沉积在已形成内壁氧化物薄膜和氮化硅衬层的衬底上；
将介质薄膜的表面平整。

16. 按照权利要求 15 的沟道隔离方法，其中介质薄膜的平整是利用衬层氮化物薄膜作为蚀刻终止层通过化学机械抛光 (CMP) 来实现。

17. 按照权利要求 16 的沟道隔离方法，其中介质薄膜的平整是通过
30 CMP 蚀刻到保留衬层氮化物薄膜 44 的一半厚度为止来实现。

18. 按照权利要求 15 的沟道隔离方法，其中，在介质薄膜的表面平整

的步骤之后，还包括去除残留在半导体衬底的作用区域内的垫层氮化物薄膜的步骤。

19. 按照权利要求 18 的沟道隔离方法，其中，在去除衬层氮化物薄膜的步骤之后是蚀刻部分氮化硅衬层的步骤，使得氮化硅衬层的顶端能够从半导体衬底的表面凹进。

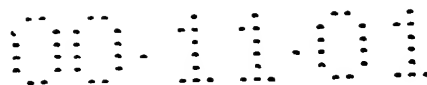
20. 按照权利要求 19 的沟道隔离方法，其中，去除衬层氮化物薄膜的步骤和去除部分氮化硅衬层的步骤通过湿式蚀刻来实现。

21. 按照权利要求 11 的沟道隔离方法，其中衬层的顶端从半导体衬底的表面凹进 0-500 埃。

22. 按照权利要求 19 的沟道隔离方法，其中，在蚀刻衬层氮化物薄膜以及部分衬层的步骤之后还包括一个去除垫层氧化物薄膜的步骤。

23. 按照权利要求 22 的沟道隔离方法，其中，在去除垫层氮化物薄膜的步骤之后是氧化半导体衬底的表面的步骤。

24. 按照权利要求 15 的沟道隔离方法，其中介质薄膜是通过化学蒸汽沉积（CVD）形成的氧化物薄膜，而在介质薄膜的平整步骤之后还要进行热处理。



沟道隔离结构、具有该结构的半导体器件以及沟道隔离方法

5 本发明涉及沟道(trench)隔离结构、具有该结构的半导体器件以及沟道隔离方法，尤其是涉及一种通过圆形化(rounding)沟道上部角并增加这些区域的氧化物量来防止驼峰(hump)现象和晶体管的反相窄宽度效应(inverse narrow width effect)的沟道隔离结构。

10 一个半导体器件各元件之间的隔离通常是通过局部硅氧化(LOCOS)和沟道隔离来实现的。

在这两者中，LOCOS 方法的操作简单，并能同时形成宽隔离薄膜和窄隔离薄膜。但是，在 LOCOS 方法中，边氧化会形成鸟啄形蚀象(bird break)，因而使得隔离区域变宽，导致源/漏区域的有效面积的减少。而且，在 LOCOS 方法中，取决于热膨胀系数之间的差的应力在域氧化物薄膜的形成过程中集中到氧化物薄膜的边缘，导致在硅衬底上形成晶体缺陷而引起大量的电流泄漏。

20 因此，沟道隔离技术是必不可少的。使用沟道隔离技术，与以上所述的 LOCOS 技术相比较，可以将隔离区域控制得更小，而且在相同的隔离宽度下，通过在硅衬底上形成一个沟道并用电介质物质(比如氧)来填充这个沟道来使其有效的隔离长度变得更长。

25 在使用沟道来形成隔离的几个操作步骤中，如何形成沟道的轮廓对于制造一个稳定的器件来说非常重要。也就是说，沟道深度、沟道角以及沟道边缘的形状需要适当控制。特别是，当浅沟道隔离(STI)被用于高集成度的半导体器件时，值得提醒的是器件的电特性由沟道的边缘部分的轮廓来确定。

图 1 是一个用来解释在传统的 STI 方法中遇到的问题的剖视图。在这里，参考数字 1 是一个半导体衬底，参考数字 3 是嵌入 STI 区域的隔离膜，参考数字 5 是栅极氧化物薄膜，而参考数字 7 是栅极电极。

30 如图 1 所示，以下问题发生在当沟道的边缘部分形成一个几乎为 90 度的锐角时。首先，一个栅极导电层在形成栅极的过程中覆盖了沟道的上部各角部分，因此，电场集中在沟道的各角处。如图 2 所示，这会导致使晶体

管被两次接通的驼峰现象, 和反相窄宽度效应的出现, 并引起晶体管性能的降低。

图 3 是表示在 STI 结构中发生的反相窄宽度效应的曲线图。如曲线图所示, 随着晶体管的通道(channel)宽度的减小反相窄宽度效应呈现阈值电压下降。这里, 参考字符 X 代表驼峰现象出现前所获得的数据, 而参考字符 Y 为驼峰现象出现后所获得的数据。

在当沟道的边缘部分形成一个几乎为 90 度的锐角时发生的第二个问题是器件可靠性的降低, 比如说, 由在沟道边缘部分形成薄栅极氧化物薄膜或者在沟道边缘周围的栅极氧化物薄膜上的电场集中引起的电介质击穿。

10 几种方法被提出来解决上面这些问题。其中一个就是公开于美国专利第 5,861,104 号和第 5,763,315 号中。

美国专利第 5,861,104 号所公开的方法是通过改进一个蚀刻沟道的方法来圆形化沟道上部角。美国专利第 5,763,315 号所公开一种圆形化沟道上部边缘的方法, 其中通过使用湿式蚀刻技术或其它该类技术, 在半导体衬底上利用晶体平面 (100) 形成一个高氧化率的平面 (111), 以及公开通过增加在沟道上部边缘形成的栅极氧化物薄膜的厚度防止晶体管和栅极氧化物薄膜的可靠性降低的方法。

20 本发明意在提供一个结构以在沟道的上部边缘形成一个晶体平面 (111) 来增加栅极氧化物薄膜的厚度, 该栅极氧化物薄膜是在圆形化沟道上部边缘时形成在这些区域上的, 因而使得晶体管的特性得到显著改进, 以及相应的构成方法。

本发明的一个目的是提供一个沟道隔离结构, 该结构通过增加沟道上部边缘的栅极氧化物薄膜的厚度并同时圆形化沟道的上部边缘来改进晶体管和栅极介质薄膜的可靠性。

25 本发明的另一个目的是提供一种具有改进隔离结构的导体器件来防止驼峰现象和反相窄宽度效应。

本发明再一个目的是提供一种圆形化沟道上部边缘, 并因此增加沟道上部边缘的栅极氧化物薄膜的厚度的沟道隔离方法。

30 第一个目的通过一个这样的沟道隔离结构来实现, 其包括: 一个在半导体衬底的非作用区域内形成的沟道, 被圆形化的沟道的上部边缘; 在沟道内壁形成的内壁氧化物薄膜; 在内壁氧化物薄膜的表面形成的衬层(liner),

该衬层的顶部部从半导体衬底的表面凹进；以及用来填充沟道的介质薄膜，内壁氧化物薄膜和衬层都形成于该沟道中。

内壁氧化物薄膜的厚度最好在 10-150 埃之间，而衬层的顶端最好从半导体衬底的表面凹进 0-500 埃之间，使得沟道的上部边缘能满意地圆形化。

- 5 第二个目的通过一种这样的具有沟道隔离结构的半导体器件来实现，其包括：一个在半导体衬底的非作用区域内形成的沟道，被圆形化的沟道顶部边缘；在沟道内壁上形成的内壁氧化物薄膜；在内壁氧化物薄膜的表面形成的衬层，衬层的顶部从半导体衬底的表面凹进；用来填充沟道的介质薄膜，内壁氧化物薄膜和衬层都形成于该沟道中；形成于半导体衬底中除了沟道之
- 10 外的作用区域内的栅极介质薄膜，该栅极介质薄膜的边缘部分比中间部分要厚；以及在栅极介质薄膜上形成的栅极电极。

最好半导体衬底中除了沟道之外的表面有一个平面 (100)，而沟道的顶部边缘被圆形化的半导体衬底的表面则最好有一个平面 (111)。

- 第三个目的通过一种这样的沟道隔离方法来实现，其包括：在半导体衬
- 15 底的非作用区域内形成一个沟道；沟道内壁上形成一个内壁氧化物薄膜；在内壁氧化物薄膜的表面形成一个氮化硅衬层；用介质薄膜填充沟道，蚀刻部分氮化硅衬层，使得该氮化硅衬层的顶部可以从半导体衬底的表面凹进。

- 形成沟道的步骤包括：在半导体衬底上形成一个垫层(pad)氧化物薄膜；在垫层氧化物薄膜上形成一个垫层氮化物膜；形成一个蚀刻掩模图形以限定
- 20 需形成沟道的区域；使用光刻法；利用蚀刻掩模图形通过蚀刻部分半导体衬底形成沟道。用介质薄膜填充沟道的步骤包括：将介质薄膜沉积在已形成内壁氧化物薄膜和氮化硅衬层的衬底上；并将介质薄膜的表面平整。

- 介质薄膜的表面的平整是通过化学机械抛光 (CMP) 或者以使用垫层氮化物薄膜作为蚀刻终止层的深腐蚀技术来实现的。在介质薄膜的表面平整
- 25 的步骤之后还包括去除残留在半导体衬底的作用区域内的垫层氮化物薄膜的步骤。

去除垫层氮化物薄膜步骤之后的步骤是蚀刻氮化硅衬层的某些部分，使得氮化硅衬层的顶端能够从半导体衬底的表面凹进。去除衬层氮化物薄膜的步骤是通过湿式蚀刻来实现。

- 30 在蚀刻垫层氮化物薄膜以及部分衬层的步骤之后还要包括一个去除垫层氧化物薄膜的步骤。去除垫层氧化物薄膜之后的步骤是氧化半导体衬底的表

面。

根据本发明，沟道上部边缘的氧化物量可以在形成栅极氧化物薄膜的氧化过程中大大增加。这是通过将在沟道内壁形成的内壁氧化物薄膜的厚度限制在一定的程度内以及在衬层的顶部从半导体衬底的表面凹进形成一个凹部来实现。也就是说，半导体衬底上的沟道上部边缘的氧化物量的增加是发生在后来用来形成栅极氧化物薄膜的氧化过程中，虽然并没有打算对沟道的上部边缘进行圆形化，但导致圆形化了沟道的上部边缘。沟道上部边缘的栅极氧化物薄膜的厚度比沟道之外的半导体衬底的作用(active)中心区域要厚。因此，由于沟道上部边缘的电场集中而产生的驼峰现象和反相窄宽度效应可以被抑制，栅极介质薄膜的可靠性能得到改进。

通过参考附图详细描述本发明的最佳实施例，以上所述本发明的目的及优点将会变得更加清晰；

图 1 是一个用来解释在传统的浅沟道隔离 (STI) 方法中遇到的问题的剖视图；

图 2 是一个表示用传统的 STI 方法构成的半导体器件中所发生的驼峰现象的曲线图；

图 3 是一个表示在传统的 STI 结构中的反相窄宽度效应的曲线图；

图 4 是一个按照本发明的实施例的半导体器件的剖视图；

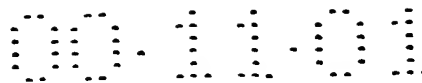
图 5A 到 5F 是表示根据本发明的最佳实施例来构成一个有隔离结构的半导体器件的方法的剖视图，在该隔离结构中使沟道的上部边缘圆形化；

图 6 是表示在沟道顶部的氮化物衬层上形成的凹部的放大剖视图；

图 7 是用沟道内壁上的氮化物衬层的张应力来解释沟道顶部氧化物量的增加的部分放大视图；

图 8 至图 10 是用来确定沟道上部边缘上的栅极氧化物薄膜的厚度和边缘圆形化程度的电子扫描显微镜(SEM)图像，其根据是沟道内壁上形成的氧化层的厚度。

在下文中，本发明的实施例将会参照附图做出详细描述。但是本发明的实施例可被修改为其它各种形式，因此本发明的范围不应理解为仅仅局限于该实施例。本实施例是用来向本技术领域的技术人员更全面地解释本发明。在附图中，层或区域的厚度被夸大以使其看起来更清楚。附图中的参考数字表示相同的部分。同时，当说到一个层形成于另一个层或一个衬底上时，是



指那个层可以直接形成于该层或衬底的上面，或者也可以有其它层介入在其间。

图 4 表示了一个有隔离结构的半导体器件，其中在该隔离结构中沟道的上部边缘被圆形化。参照图 4，形成一些沟道，沟道中的朝向一其上要形成
5 半导体器件的作用区域(active region)的上部边缘被圆形化，这些沟道形成在非作用区域，即半导体衬底 40 的隔离区域中。内壁氧化物薄膜 48 和衬层 50 相继沿每个沟道的内壁形成。内壁氧化物薄膜 48 通过湿式/干式热氧化形成 10-150 埃的厚度。衬层 50 (由氮化物薄膜构成，特别是氮化硅薄膜)通过
10 低压化学蒸汽沉积 (LPCVD)，形成 20-200 埃的厚度。特别是，衬层 50 从沟道之外的半导体衬底 40 的表面凹进，并且最好的凹入深度为 0-500 埃。

其上形成有内壁氧化物薄膜和衬层(liner)的沟道被介质薄膜 52 (比如说 CVD 氧化物薄膜)完全填充，同时介质薄膜 52 其上有平整的表面。

属于栅极介质薄膜的栅极氧化物薄膜 54，以及栅极电极 56 在半导体衬底 40 的作用区域上形成。特别是，栅极氧化物薄膜 54 在沟道的上部边缘处
15 明显要比在半导体衬底 40 的表面上厚。

根据本发明的半导体器件具有这样一个结构，即沟道的上部边缘被圆形化，栅极氧化物薄膜在沟道的上部边缘处要比在半导体衬底 4 的作用区域上厚。这就使得由于在栅极氧化物薄膜的边缘上的电场集中而引起的驼峰现象和反相窄宽度效应得到抑制，因而使得栅极介质薄膜的可靠性得到提高。

20 图 5A 到 5F 是描述根据本发明的最佳实施例来构成一个有隔离结构的半导体器件 (在该隔离结构中沟道的上部边缘被圆形化)的方法的剖视图。参照图 5A，用来缓解衬底上的应力和保护衬底的垫层(pad)氧化物薄膜 42 是通过在半导体衬底 40 上生成一个厚度约为 100 埃的热氧化物薄膜来形成。一种对半导体衬底 40 有良好的蚀刻选择性的物质，比如说氮化硅薄膜，通
25 过低压化学沉积(LPCVD)在垫层氧化物薄膜 42 上沉积的厚度达到约为 1500 埃，来形成垫层氮化物薄膜 44。在衬底蚀刻过程中衬层氮化物薄膜 44 用作蚀刻掩模以形成后来的沟道，或在平整沟道过程中用作填充物。

接着，在垫层氮化物薄膜 44 上通过光刻术形成光敏抗蚀剂图形 (pattern)46，形成图形以使得用来生成沟道的非作用区能够暴露出来。利用
30 将光敏抗蚀剂图形 46 作为蚀刻掩模，将垫层氮化物薄膜 44 和垫层氧化物薄膜 42 非均匀地蚀刻，使得半导体衬底 40 的非作用区域暴露出来。另外，在

利用光敏抗蚀剂图形 46 作为蚀刻掩模只有垫层氮化物薄膜 44 能被非均匀地蚀刻以形成一个蚀刻掩模图形。

参照图 5B, 在光敏抗蚀剂图形 46 去除后, 在将衬层氮化物薄膜 44 和垫层氧化物薄膜 42 作为蚀刻掩模图形的情况下, 通过把半导体衬底 40 的暴露部分非均匀地蚀刻约 2000-10000 埃以形成沟道 47。另外, 可在将光敏抗蚀剂图形 46 作为蚀刻掩模图形的情况下, 可以不将光敏抗蚀剂图形 46 去除而形成沟道 47。同时, 由于在本发明中沟道的上部边缘在接下来的步骤中会被圆形化, 可以在不需要对上部边缘进行圆形化的特别处理的情况下, 能基本垂直于半导体衬底的沟道 47。

参照图 5C, 通过在有沟道 47 的半导体衬底 40 上的预定热氧化来沿着沟道 47 的内壁形成内壁氧化物薄膜 48。内壁氧化物薄膜 48 所形成的厚度在 10-150 埃之间, 而且最好是在 10-50 埃之间。为什么形成较薄的内壁氧化物薄膜的原因将在后面做出解释。同样地, 内壁氧化物薄膜 48 也可以通过湿式氧化或干式氧化来形成, 而且最好是通过干式氧化, 使得能够更容易控制氧化物薄膜的厚度, 并且其均匀性会高。

其后, 通过 LPCVD, 将氮化物薄膜 (比如说, 氮化硅薄膜) 沉积在形成了内壁氧化物薄膜 48 的衬底整个表面上来形成衬层 50。形成的衬层 50 的厚度约在 20-200 埃之间。太薄的衬层会由于其后的氧化过程容易断裂。太厚的衬层会增加沟道的纵横比, 而导致难于实现良好地填充沟道, 比如说, 当沟道被填充入介质薄膜时形成空隙。

参照图 5D, 利用 CVD 或其他技术, 将介质物质沉积到形成有氮化物薄膜衬层 50 的结构上, 其厚度足够填充沟道, 比如说, 小于等于 10000 埃, 以形成氧化物薄膜 52。在沟道被 CVD 氧化物薄膜 52 填充之后, 最好在高温下退火来致密 CVD 氧化物薄膜。

对填充沟道的 CVD 氧化物薄膜 52 进行致密化, 能减慢在接下来的 CVD 氧化物薄膜 52 的平整过程中由于 CVD 氧化物薄膜 52 的高蚀刻率引起的很高的化学机械抛光 (CMP) 的速度, 同时在垫层氧化物薄膜 42 的湿式蚀刻或在使用蚀刻剂的清洁过程中防止 CVD 氧化物薄膜 52 被轻易消耗。CVD 氧化物薄膜 52 的致密化是在 1000 摄氏度下的氮气环境中进行, 或者通过湿式氧化来实现。在该步骤中, 半导体衬底 40 由于氮化物衬层 50 的保护而没有被氧化。

接下来，通过比如说深腐蚀、CMP 或者深腐蚀与 CMP 两者结合将 CVD 氧化物薄膜 52 平整。如果是通过 CMP，那么当作为蚀刻终止层的垫层氮化物薄膜 44 的一半厚度被蚀刻时，CMP 最好停止。

参照图 5E，残留在作用区域上的垫层氮化物薄膜用磷酸溶液去除。这时，还进行过腐蚀以蚀刻部分氮化物薄膜衬层 50，因而形成一个使得氮化物衬层 50 的顶部比半导体衬底 40 表面凹下 0-500 埃的“凹部”。图 6 所示的是有凹部的半导体衬底的放大图。当一个凹部在氮化物衬层 50 的顶部形成时，半导体衬底中的沟道的上部边缘的氧化便大大增加。这种氧化的增加将在后面做出描述。

如果形成的凹部很深，沟道的顶部便被敞开，使得沟道的上部边缘在氧化过程中是尖锐的。当在接下来的步骤中形成 MOS 晶体管时，其甚至沟道的上部边缘在用于栅极的导电物质形成图形后能保持，可能导致形成桥路。这样在通用栅极氧化物薄膜的厚度小于或等于 100 埃的器件中，最好凹部从半导体衬底 40 的表面凹入深度小于等于 500 埃。

其后，残留在作用区域上的垫层氧化物薄膜 42 用稀释的氢氟酸(HF)溶液去除。

参照图 5F，当栅极氧化物薄膜 54 通过热氧化在图 5E 中所产生的结构上形成时，由于如图所示在沟道的上部边缘的氧化增加，其在沟道的上部边缘形成的厚度要比其它部分高。因此，沟道的上部边缘被圆形化。接着，将导电物质，比如说，掺有杂质的多晶硅薄膜或掺有杂质的多晶硅和硅化物的层叠薄膜，形成在栅极氧化物薄膜 54 上，接着通过光蚀刻法使其形成图形，以此形成栅极电极 56。

在上面所述的本发明的实施例中，由于沟道的上部边缘的氧化的增加，栅极氧化物薄膜 54 在沟道的上部边缘的厚度变得比在半导体衬底 40 的作用区域中间部分的栅极氧化物薄膜 54 厚度要大。这种情况的发生很大程度上可能是由于以下三个原因。

第一个原因可以是在沟道内壁形成的氮化物衬层 50 的张应力。这将参照图 7 做出描述，图 7 是沟道的侧壁的部分放大的视图。在图 7 中，参考数字 40 表示的是半导体衬底，而参考数字 50 表示的是氮化物衬层。这里在沟道的内壁上形成的内壁氧化物薄膜被忽略以简化说明。

通过 LPCVD 沉积的氮化硅衬层 50 在半导体衬底 40 的 B 部分（与作用

区域的表面接近)上造成张应力。也就是说,由于通过 LPCVD 形成的氮化硅薄膜于硅衬底相比,其热膨胀系数高,因此在高温操作过程中(比如氧化)其膨胀也就比由单晶硅构成的半导体衬底 40 大。相应地,当与氮化硅衬层 50 相接触的沟道侧壁的半导体衬底 40 的 A 部分承受压应力时,氮化硅衬层 50 要承受张应力。因此,与作用区域的表面接近的半导体衬底 40 的 B 部分要承受张应力。在施加张应力的状态下,半导体衬底中晶格之间的距离长,因此氧化可以快速发生。

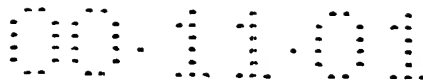
这样,为了能在通过形成氮化硅衬层 50 来最大化沟道的上部边缘的氧化物量的同时圆形化沟道的上部边缘,氮化硅衬层 50 和沟道侧壁之间的内壁氧化物薄膜越薄越好。但是,最好将内壁氧化物薄膜的厚度控制在约 10-150 埃之间。

第二个原因是氮化硅衬层 50 上的凹部的形成。如图 6 所示,在通过凹部暴露出来的在沟道的上部边缘的半导体衬底 40 的氧化过程中逐渐形成一个倾斜表面。这个倾斜的表面有一个平面(111),而半导体衬底 40 的作用区域有一个平面(100)。由于硅晶格之间的间隔在平面(111)的方向上最大,因此晶格之间的结合力很弱。相应地,置于每个晶格点上的硅原子之间的结合在氧化时很容易被切断,使得氧化可以快速发生。

第三个原因是氮化硅衬层 50 被作为氧化阻挡层(barrier)。在衬层 50 没有形成,而图 5F 中的栅极氧化物薄膜 54 形成的情况下,氧原子穿透填充在沟道中的 CVD 氧化物薄膜 48 并扩散入沟道的侧壁之下的半导体衬底 40 中。相应地,氧化也发生在沟道的侧壁上。这造成体积扩张,因此压应力施加到半导体衬底 40 的上部边缘上,使得氧化得到抑制。然而,在本发明中,衬层 50 的存在防止了对其上形成衬层 50 的沟道侧面的氧化,而由于防止氧化的因素即衬层 50 被去除,在衬层 50 凹进处的沟道的上部边缘上可以易于发生氧化。

图 8 到图 10 是用来确定沟道上部边缘上的栅极氧化物薄膜的厚度和边缘圆形化程度的扫描电子显微镜(SEM)图像,其根据是沟道内壁上形成的内壁氧化层的厚度。在图 8 至图 10 中,内壁氧化物薄膜形成的厚度分别为 240 埃,110 埃和 20 埃,衬层形成的厚度一样,而栅极氧化物薄膜的生长厚度达 75 埃。

参照图 8,可以看到沟道的各角没有圆形化而且栅极氧化物薄膜的厚度



没有增加。以下解释这些现象的原因。首先，由于其间隔了一个厚的内壁氧化物薄膜，承受张应力的衬层与承受压应力的沟道的侧壁相距远，因此张应力没有作用到半导体衬底的顶部。这就是为什么沟道的各角没有圆形化而且栅极氧化物薄膜的厚度没有增加的一个原因。第二，由于衬层形成于生长的厚内壁氧化物薄膜上，即使在垫层氮化物薄膜被磷酸液蚀刻时在沟道的顶部也没有形成向下凹进的凹部。这样，即使在进行用来形成栅极氧化物薄膜的氧化时，也没有在半导体衬底的上部边缘形成具有平面（111）的倾斜表面。这是为什么沟道的各角没有圆形化而且栅极氧化物薄膜的厚度没有增加的另一个原因。第三，由于沟道的侧壁被通过内壁氧化物薄膜扩散的很多的氧原子氧化，压应力由于沟道的侧壁的氧化作用到半导体衬底的上部边缘上，使得氧化物量便没有增加。这是为什么沟道的各角没有圆形化而且栅极氧化物薄膜的厚度没有增加的另一个原因。

图 9 是在内壁氧化物薄膜形成的厚度为 110 埃以及在形成衬层之后形成一个具有所需的深度的凹部的情况下的 SEM 图像。从图 9 可以看出沟道的上部各角没有圆形化。

图 10 是在朝向沟道的侧表面的氧化由于在沟道内形成厚度为 20 埃的内壁氧化物薄膜而极大地受到限制，以及张应力对衬层的作用最大化的情况下的 SEM 图像。从图 10 中可以看出沟道的上部边缘被圆形化而且沟道的上部边缘的栅极氧化物薄膜的厚度约为 170 埃，该厚度明显高于在作用区域表面的厚度。

通过以一个特定的实施例为例子来详细描述本发明，但在本发明的范围内还可以对实施例进行多种修改。

根据以上所述的本发明，当在沟道的内壁上形成的内壁氧化物薄膜的厚度被限制在一定值，而且形成了衬层，在接下来的步骤中用来形成栅极氧化物薄膜的沟道的上部边缘的氧化物量会大量增加。因此，由于沟道的上部边缘的电场集中而引起的驼峰现象和反相窄宽度效应被抑制，栅极介质薄膜的可靠性得到提高。而且，从导体衬底表面凹进的凹部形成于该在内壁氧化物薄膜上形成的衬层上，使得沟道的上部边缘的半导体衬底的晶体状态在栅极氧化物薄膜的形成过程中成为平面（111）。因此，氧化物量将进一步增加。

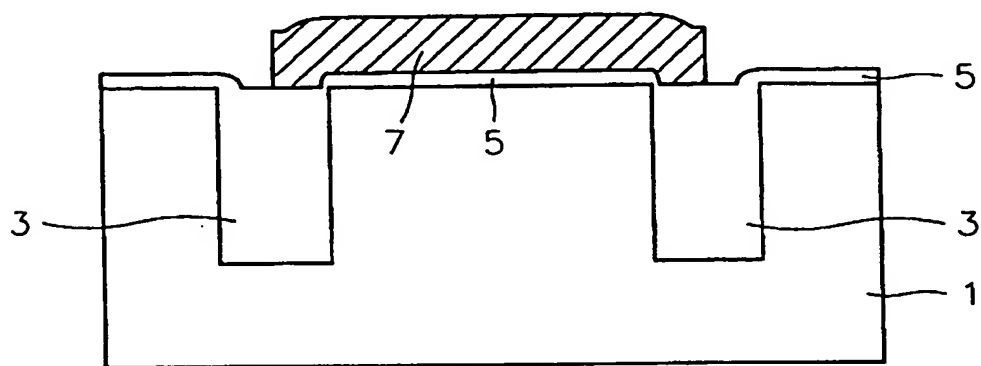


图 1

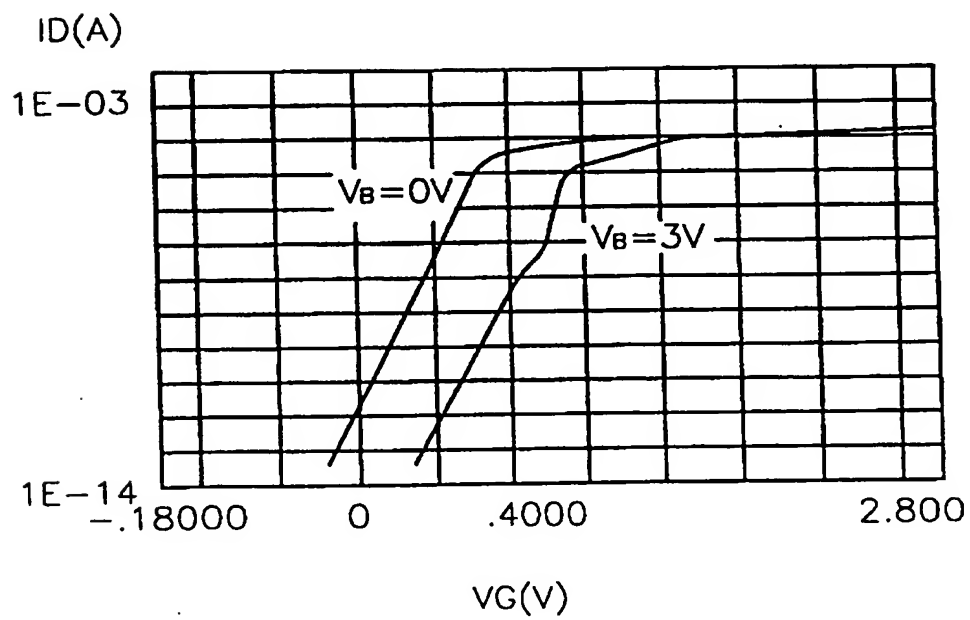


图 2

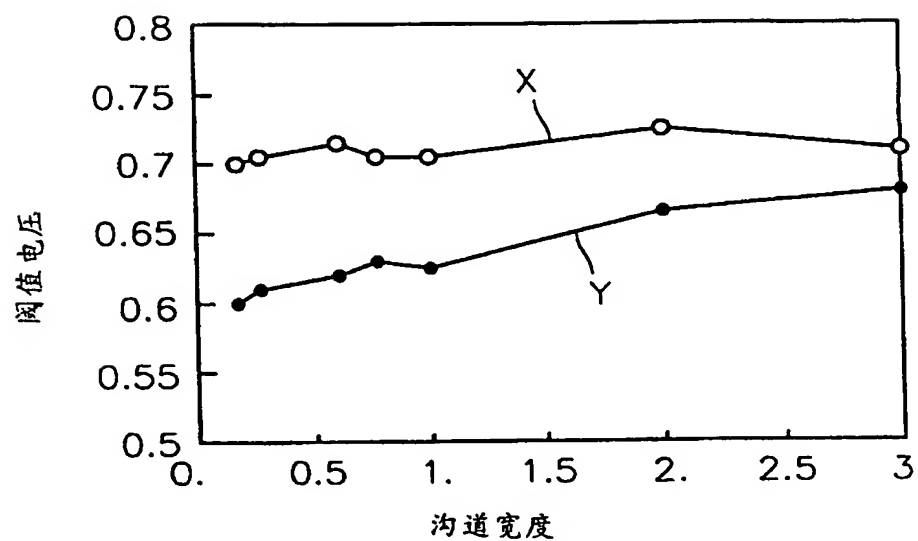


图 3

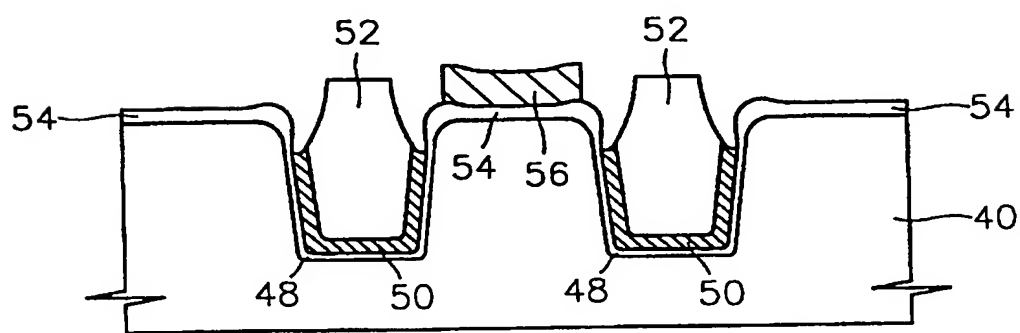


图 4

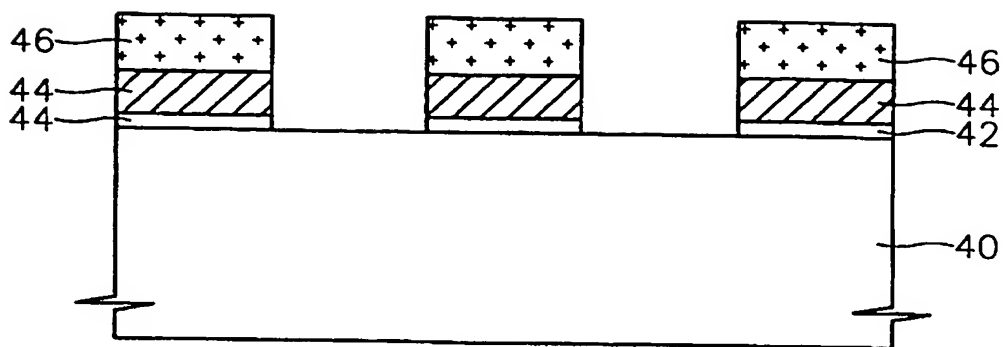


图 5A

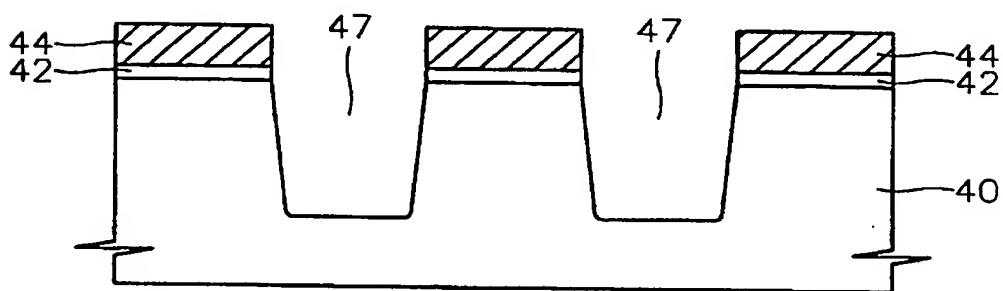


图 5B

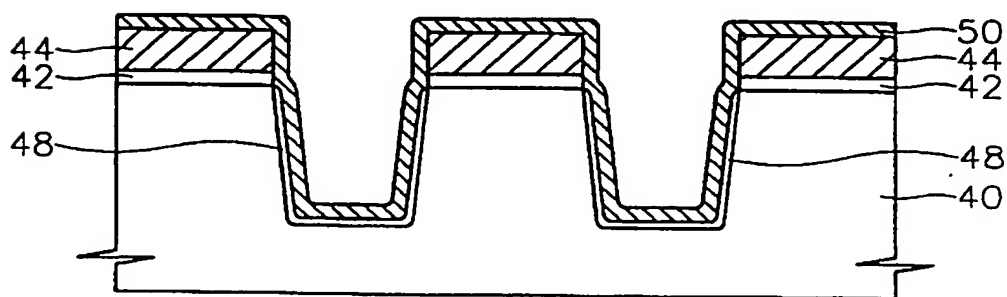


图 5C

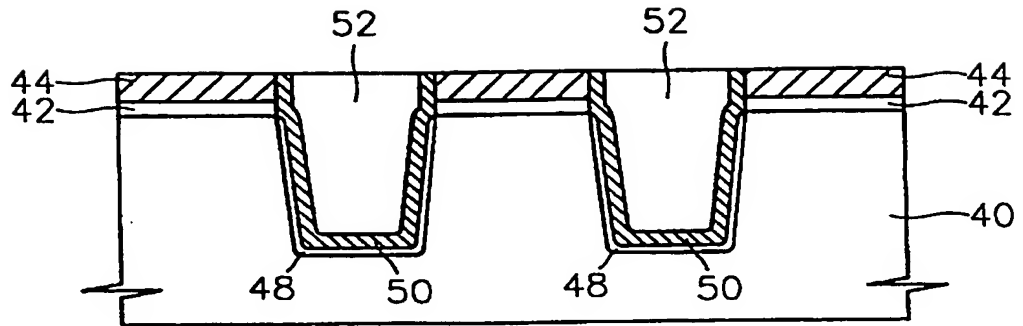


图 5D

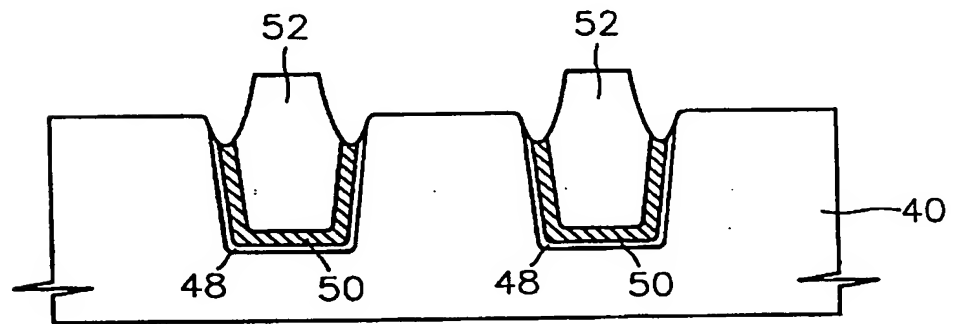


图 5E

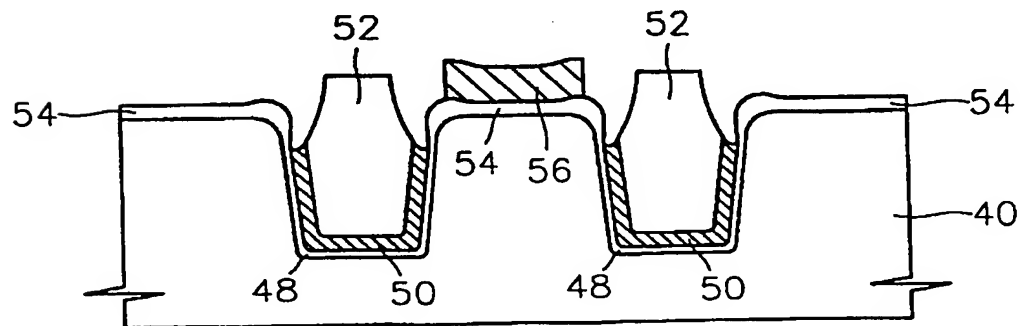


图 5F

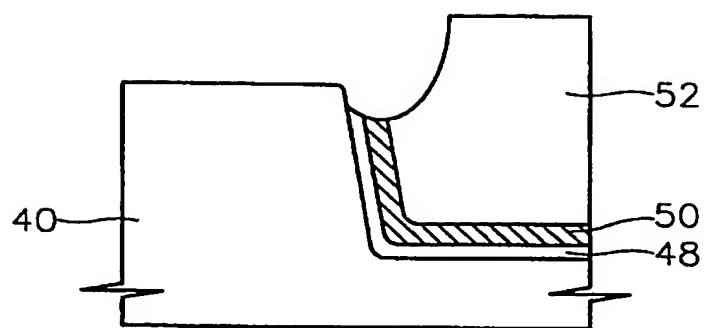


图 6

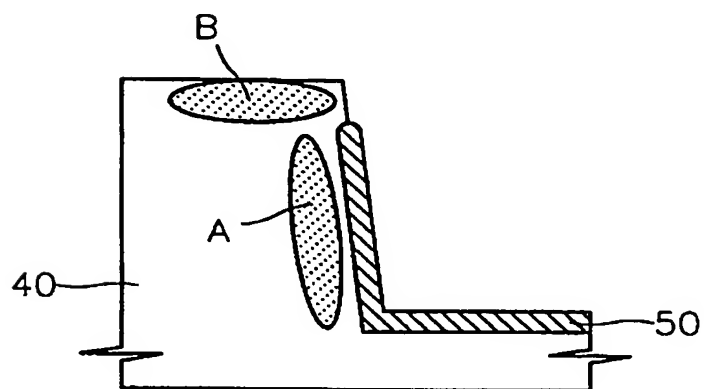


图 7

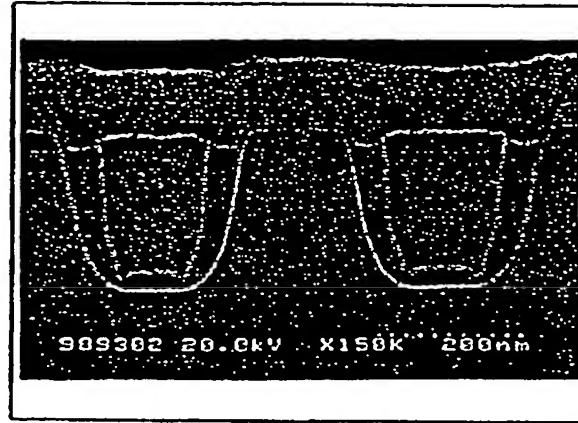


图 8

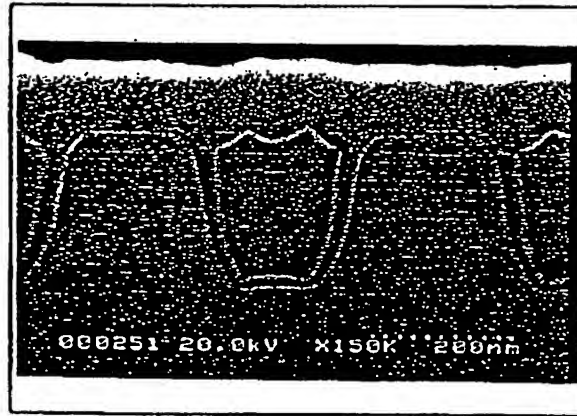


图 9

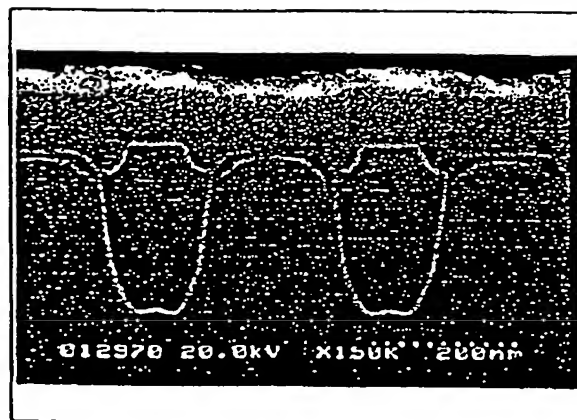


图 10

Best Available Copy